

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10096957 A

(43) Date of publication of application: 14.04.98

(51) Int. Cl.

G02F 1/136
G02F 1/1333
H01L 29/786
H01L 21/336

(21) Application number: 08253476

(22) Date of filing: 25.09.96

(71) Applicant: TOSHIBA ELECTRON ENG CORP
TOSHIBA CORP

(72) Inventor: HINO TAKASHI

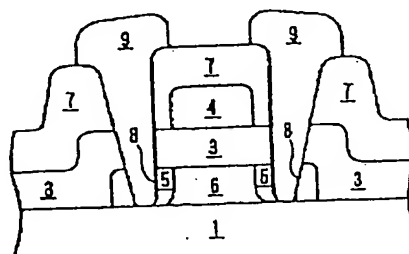
(54) THIN FILM TRANSISTOR DEVICE

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To achieve a thin film transistor device of such a structure as is capable of forming a contact hole with a good reliability by making it possible to form a sufficient thickness of an interlayer insulation film formed in a process with an non-uniformity problem such as CVD, etc., and over-etch the contact hole formed by penetrating through the interlayer insulation film.

SOLUTION: A thin film transistor device is constituted by arranging an active layer formed of polycrystal Si film 6 on a quartz substrate 1 like an island form, forming a gate electrode 4 on this polycrystal Si film 6 via a gate insulation film 3, further forming an interlayer insulation film 7 on an entire surface of the gate electrode, forming a contact hole by over-etching so that it penetrates the interlayer insulation film 7 and gate insulation film 3 and reaches into the polycrystal Si film 6, and securing to keep a contact between the polycrystal Si film 6 and signal line 9 from the side face of the contact hole 8 at least.



(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-96957

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl. ⁹	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
1/1333	5 0 5	1/1333 5 0 5
H 0 1 L 29/786		H 0 1 L 29/78 6 1 6 S
21/336		6 1 6 K

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-253476

(22) 出願日 平成 8 年 (1996) 9 月 25 日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日通町 7 番地 1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 日 野 隆

神奈川県川崎市川崎区日通町 7 番地 1 東
芝電子エンジニアリング株式会社内

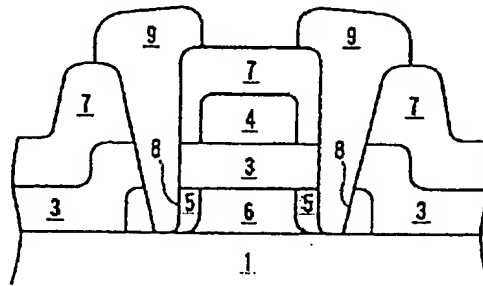
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 薄膜トランジスタ装置

(57) 【要約】

【課題】 CVD等の均一性に問題のあるプロセスで形成される層間絶縁膜を、十分な厚みに形成すると共に、この層間絶縁膜を貫通して形成されるコンタクトホールを十分なオーバーエッチングを可能として、コンタクトホールを信頼性良く形成できるような構造の薄膜トランジスタ装置を実現する。

【解決手段】 石英基板 1 の上に多結晶 Si 膜 6 を島状に形成した活性層を配置し、この多結晶 Si 膜 6 の上にゲート絶縁膜 3 を介してゲート電極 4 を形成し、更に、ゲート電極の上から全面に層間絶縁膜 7 を成膜し、この層間絶縁膜 7、ゲート絶縁膜 3 を貫通し、多結晶 Si 膜 6 の内部に達するようにオーバーエッチングによりコンタクトホールを形成し、少なくともコンタクトホール 8 の側面から多結晶 Si 膜 6 と信号線 9 のコンタクトを確保するようにして薄膜トランジスタ装置を構成する。



【特許請求の範囲】

【請求項1】絶縁基板上に多結晶S1によって形成された活性層と、

前記活性層の上方にゲート絶縁膜を介して形成されるゲート電極と、

前記ゲート電極の上面に形成される層間絶縁膜と、

前記層間絶縁膜と前記ゲート絶縁膜を貫通して、前記活性層の内部に達するように形成されたコンタクトホールと、

前記コンタクトホールの内部に埋込まれて、少なくとも側面から前記活性層と電気的にコンタクトする信号線と、

を備えることを特徴とする薄膜トランジスタ装置。

【請求項2】少なくとも前記コンタクトホールの1つが前記活性層を完全に貫通して、絶縁基板に達して、底部に前記活性層を残存させない、貫通形のコンタクトホールとなっており、この貫通形のコンタクトホール内における前記信号線が側面からの前記活性層とコンタクトする。請求項1の薄膜トランジスタ装置。

【請求項3】前記コンタクトホールは前記ゲート電極を挟んでその両側に形成されており、これらのコンタクトホールの少なくとも1つが前記貫通形のものとなっている。請求項2の薄膜トランジスタ装置。

【請求項4】前記コンタクトホールはリアクティブイオンエッチングにより開口されたコンタクトホールである。請求項1乃至3の1つの薄膜トランジスタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ装置に係り、特に液晶表示装置の画素部の駆動用に適用されるスイッチング素子として用いられる薄膜トランジスタ装置に関する。

【0002】

【従来の技術】近年、液晶表示装置は、パーソナルコンピュータ用表示装置をはじめとして、さまざまな分野で用いられているが、その画素部の駆動用には、一般にTFT（薄膜トランジスタ）と呼ばれるスイッチング素子が用いられる。特に、多結晶S1を活性層に使用した薄膜トランジスタや、そのトランジスタアレイは盛んに用いられている。

【0003】図2は、かかる従来の薄膜トランジスタ装置の断面図であり、特にn型の構造を例示するものである。

【0004】図2の構成について、その製造プロセスに沿って、その構造を説明する。

【0005】まず、石英基板1の上に、多結晶S1膜を成膜し、CDEエッチングにより多結晶S1膜6の島を形成する。

【0006】次に、APCVDにより多結晶S1膜6の上方から、全体に酸化膜を1000Åオングストローム成膜

し、ゲート絶縁膜3を形成する。

【0007】続いて、その上から、MoWを2000Åオングストローム成膜し、CDEエッチングによりゲート電極4を形成する。

【0008】次に、ゲート電極4をマスクとしてPをドーピングして、多結晶S1膜6の中に高濃度領域5を形成する。

【0009】その上から、全面に層間絶縁膜7を1200Åオングストロームの膜厚に形成し、RIE（リアクティブイオンエッチング）により多結晶S1膜6の高濃度領域5に達するコンタクトホール8を形成する。

【0010】続いて、Al-Siを成膜し、RIEにより信号線9を形成する。

【0011】

【発明が解決しようとする課題】一般的に、微細な薄膜トランジスタを多数用いて液晶表示装置を製造する場合、信頼性を高めるためには、層間絶縁膜7は可能な限り厚く形成した方が好ましいとされている。ところが、層間絶縁膜7をCVDにより形成しようとする、その均一性に問題がある。このために、層間絶縁膜7を厚力厚めになるように形成するのが一般的になっている。

【0012】このため、コンタクトホール8を信頼性良く形成して開口不良を防止するためには、コンタクトホール8の開口時には、オーバーエッチング時間を可能な限り長くする方が望ましいとされている。ところが、従来の構造は、コンタクトホール8の底面で、多結晶S1膜6の高濃度領域5とコンタクトをとる形になるため、ドライエッチング装置のゲート絶縁膜3と多結晶S1膜6の密着性が小さく、オーバーエッチングをかけた状態にある。さらには、RIEには制御しにくいというRIEに特有の問題があり、また、P型層はN型層よりもエッチング速度が速いという特性もある。

【0013】更に、液晶の画素駆動用の薄膜トランジスタは、オフリーク電流が小さいほど良いとされているが、そのためには活性層の膜厚を薄くした方が実現しやすい。しかし、これ（図2のような構造の場合、コンタクトホール8の開口の際のエッチングの厳密な管理を必要とするため、オーバーエッチング時間を長く取って、均一性に問題のある層間絶縁膜7を通して、信頼性の高いコンタクトホール8を形成するという要求に合わない。

【0014】したがって本発明の目的は、上記のような従来の技術の問題点を解消し、層間絶縁膜として十分な厚みを確保すると共にコンタクトホールを信頼性良く形成できるような構造の薄膜トランジスタ装置を実現することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するために、絶縁基板上に多結晶S1によって形成された活性層と、前記活性層の上方にゲート絶縁膜を介して形成され

るゲート電極と、前記ゲート電極の上面に形成される層間絶縁膜と、前記層間絶縁膜と前記ゲート絶縁膜を貫通して、前記活性層の内部に達するように形成されたコンタクトホールと、前記コンタクトホールの内部に埋込まれて、少なくとも側面から前記活性層と電気的にコンタクトする信号線と、を備える薄膜トランジスタ装置を提供するものである。

【0016】

【発明の実施の形態】本発明の実施の形態を説明するに先立ち、本発明がなされるに至った経緯について説明する。

【0017】本発明は、この技術分野の専門家としての当業者の技術的な常識に反することを内容とするものであり、よって当業者にとって普通にはなし得ない発明である。即ち、図2において、コンタクトホール8を高濃度領域5に入り込んでよいこととすれば、コンタクトホール8の制御がし易い、しかしながら、このようにすれば、高濃度領域5が削られ、体積の減少が避けられず、電流駆動能力が低下すると、当業者は一般的に考える。しかしながら、本発明者は、コンタクトホール8が、図1のように、高濃度領域5に入り込んだ形となっても、トランジスタの特性が低下しないことを実験により独自に知得した。本発明は、この本発明者の独自の知得に基づいてなされたものであり、一般の当業者にはなし得ない発明である。

【0018】以下、図面を参照しながら、本発明の実施の形態を説明する。

【0019】図1は、本発明の実施例の液晶表示装置用薄膜トランジスタ装置の断面図であり、特にn型の構造を例示するものである。

【0020】図1の構成について、その製造プロセスに沿って、その構造を説明する。

【0021】まず、石英基板1の上に、500オングストロームの多結晶Si膜を成膜し、CDEエッチングにより多結晶Si膜6の島を形成する。

【0022】次に、APCVDにより多結晶Si膜6の上から、全体に酸化膜を1000オングストローム成膜し、ゲート絶縁膜3を形成する。

【0023】続いて、その上から、MoWを2000オングストローム成膜し、CDEエッチングによりゲート電極4を形成する。

【0024】次に、ゲート電極4をマスクとしてPを自己整合的に注入して、多結晶Si膜6の中に高濃度領域5を形成する。

【0025】その上から、全面に層間絶縁膜7を12000オングストロームの膜厚に形成し、RIEにより多結晶Si膜6の高濃度領域5を貫通して、多結晶Si膜6がなくなるまでエッチングして石英基板1に達する程度のコンタクトホール8を形成する。

【0026】続いて、Al-Siを成膜し、RIEにより信号線9を形成する。

【0027】以上述べたようなプロセスにより製造される薄膜トランジスタ装置は、コンタクトホール8の底部に多結晶Si膜6を残さず、コンタクトホール8の側面で多結晶Si膜6と信号線9のコンタクトを取るような構造となる。このため、コンタクトホール8の形成に当たって、コンタクトホール8を容易にオーバーエッチングできる。

【0028】つまり、均一性に問題のあるCVDで形成される層間絶縁膜7を厚く成膜しても、コンタクトホール8の開孔時には、活性層である多結晶Si膜6を残すことを考えずにオーバーエッチングをかけられるため、信頼性の高い層間絶縁膜7を確保しながら、コンタクトホール8の開孔不良のない薄膜トランジスタ装置を実現できる。

【0029】なお、上記実施例では、コンタクトホール8が多結晶Si膜6（高濃度領域5）を完全に貫通する場合を例示したが、コンタクトホール8は多結晶Si膜6中に到達しており、信号線9と多結晶Si膜6のコンタクトが取れるような状態まで形成されていればよい。さらに、例えば、結果的に、2つのコンタクトホール8、8のうちの一方が高濃度領域5を図1の如く完全に貫通し、他方は高濃度領域5の深さの途中までしか達しなくてもよい。

【0030】

【発明の効果】以上述べたように、本発明の薄膜トランジスタ装置は、コンタクトホールの形成に当たり、活性層である多結晶Si膜を残すことを考えずにオーバーエッチングできるように構成したので、液晶表示装置の信頼性を高めるために必要な層間絶縁膜の厚さの確保が可能となり、コンタクトホールの開孔不良のない信頼性の高い薄膜トランジスタ装置を実現できるので、画素数の多い大面積の液晶表示装置を容易に製造できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例の薄膜トランジスタ装置の断面図である。

【図2】従来の薄膜トランジスタ装置の断面図である。

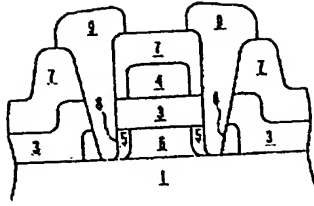
【符号の説明】

- 1 石英基板
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 高濃度領域
- 6 多結晶Si膜
- 7 層間絶縁膜
- 8 コンタクトホール
- 9 信号線

特開平10-96957

(4)

【図1】



【図2】

